

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-248771
 (43)Date of publication of application : 17.09.1999

(51)Int.Cl. G01R 29/08
 G06F 17/18
 H03M 1/08

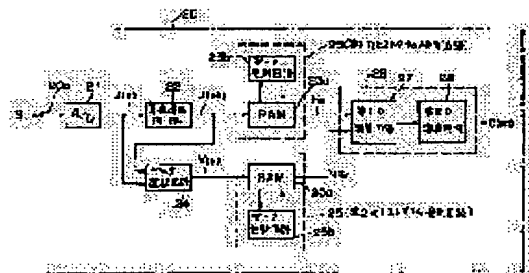
(21)Application number : 10-071429 (71)Applicant : ANRITSU CORP
 KANKYO DENJI GIJUTSU KENKYUSHO:KK
 (22)Date of filing : 05.03.1998 (72)Inventor : UCHINO SEIJI
 SHINOZUKA TAKASHI
 HOSOYA HARUHIKO

(54) APPARATUS FOR MEASURING CROSS OVER VALUE RATE DISTRIBUTION

(57)Abstract:

PROBLEM TO BE SOLVED: To realize high amplitude resolution in a small circuit scale with a small consumption of power.

SOLUTION: In this apparatus 20, a first histogram detection circuit 23 detects an output frequency H_u for every quantization level of data obtained by quantizing in a predetermined measurement period analog input signals S by an A/D converter 21. Moreover, a data selection circuit 24 selects steadily either a larger or a smaller one of data output from the A/D converter 21 and data next to the data, and a second histogram detection circuit 25 detects an output frequency H_v for every quantization level of the selected data. A cross over value for every quantization level of the input signals is calculated on the basis of these detected output frequencies.



LEGAL STATUS

[Date of request for examination] 24.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2899879

[Date of registration] 19.03.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-248771

(43)公開日 平成11年(1999) 9月17日

(51)Int.Cl.⁶

識別記号

F I

G 0 1 R 29/08

G 0 1 R 29/08

Z

G 0 6 F 17/18

H 0 3 M 1/08

A

H 0 3 M 1/08

G 0 6 F 15/36

Z

審査請求 有 請求項の数 3 F D (全 16 頁)

(21)出願番号

特願平10-71429

(22)出願日

平成10年(1998) 3月5日

(71)出願人 000000572

アンリツ株式会社

東京都港区南麻布5丁目10番27号

(71)出願人 596183206

株式会社環境電磁技術研究所

宮城県仙台市青葉区南吉成6丁目6番地の3

(72)発明者 内野 政治

宮城県仙台市青葉区南吉成6丁目6番地の3 株式会社環境電磁技術研究所内

(74)代理人 弁理士 早川 誠志

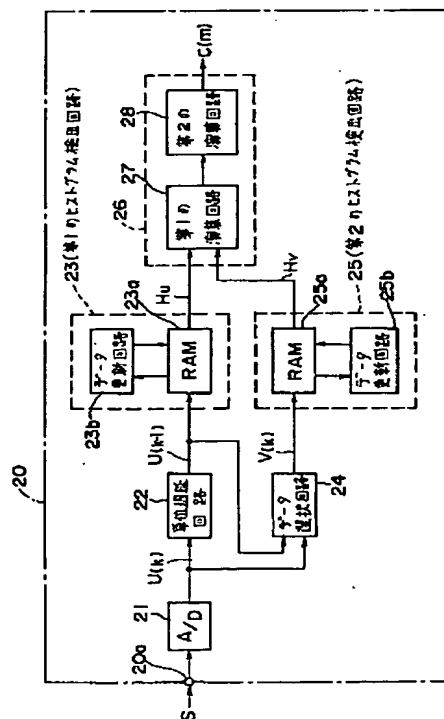
最終頁に続く

(54)【発明の名称】 交差率分布測定装置

(57)【要約】

【課題】 小さな回路規模で少ない消費電力で高い振幅分解能を実現する。

【解決手段】 A/D変換器21によってアナログの入力信号Sを所定の測定期間中に量子化したデータの各量子化レベル毎の出力頻度Huを第1のヒストグラム検出回路23によって検出するとともに、A/D変換器21から出力されたデータとその次のデータのうち、大きい方または小さい方のいずれか一方をデータ選択回路24によって定常的に選択し、その選択したデータの量子化レベル毎の出力頻度Hvを第2のヒストグラム検出回路25によって検出し、これら検出した出力頻度に基づいて、入力信号の量子化レベル毎の交差率を算出する。



【特許請求の範囲】

【請求項1】アナログの入力信号を順次サンプリングし量子化してデジタルのデータに変換して出力するA/D変換器と、

所定の測定期間中に前記A/D変換器から出力されたデータの前記A/D変換器の量子化レベル毎の出力頻度を求める第1のヒストグラム検出手段と、

前記A/D変換器から出力されたデータとその次のデータとを順次比較し、大きい方または小さい方のいずれか一方を定常的に選択して出力するデータ選択手段と、

前記測定期間中に前記データ選択手段から出力されたデータの前記A/D変換器の量子化レベル毎の出力頻度を求める第2のヒストグラム検出手段と、

前記第1のヒストグラム検出手段によって検出された出力頻度と前記第2のヒストグラム検出手段によって検出された出力頻度に基づいて前記入力信号の量子化レベル毎の交差率を求める交差率演算手段とを備えた交差率分布測定装置。

【請求項2】前記交差率演算手段は、

第1のヒストグラム検出手段によって検出された各量子化レベル毎の出力頻度と、第2のヒストグラム検出手段によって検出された各量子化レベル毎の出力頻度とについて、同一の量子化レベルに対応する出力頻度同士の差を求める手段と、該差を量子化レベルの順に累積して交差率を算出する手段とによって構成されていることを特徴とする請求項1記載の交差率分布測定装置。

【請求項3】前記交差率演算手段は、

第1のヒストグラム検出手段および第2のヒストグラム検出手段によって検出された各量子化レベル毎の出力頻度をそれぞれ量子化レベルの順に累積する手段と、該累積値同士を減算して交差率を算出する手段とによって構成されていることを特徴とする請求項1記載の交差率分布測定装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電磁環境を統計的に評価するための一つの尺度として、信号の交差率、即ち、妨害波等の包短線信号が単位時間内に予め設定されたしきい値を正方向または負方向に交差する回数を、各しきい値毎に測定する交差率分布測定装置において、その構成を簡素化するための技術に関する。

【0002】

【従来の技術】電磁妨害波による通信や放送への影響を評価する場合、妨害波の統計パラメータとして振幅領域での基本特性である振幅確率分布(APD)とともに時間領域での基本特性である交差率分布(CRD)特性が重要な要素となる。

【0003】交差率は、被測定対象のアナログ信号が特定のレベルを正方向(あるいは負方向)に交差する単位時間当りの回数で定義される。

【0004】この交差率の分布を測定するために、従来では図10に示す交差率分布測定装置10が用いられていた。

【0005】この交差率分布測定装置10は、入力端子10aから入力されるアナログの信号Sと、しきい値電圧発生回路12から出力される値の異なるしきい値電圧 e_1 、 e_2 、…、 e_M とをM個の電圧比較器12₁～12_Mによってそれぞれ比較する。各電圧比較器12₁～12_Mは、信号Sがそれぞれのしきい値電圧を越えたときに立ち上がるパルスそれぞれアンド回路13₁～13_Mに出力する。

【0006】各アンド回路13₁～13_Mは、後述する制御回路15から出力されるゲート信号Gを受けている間だけ、各電圧比較器12₁～12_Mの出力パルスを通過させる。

【0007】各アンド回路13₁～13_Mから出力されるパルス信号は、それぞれ2進カウンタ14₁～14_Mに投入されて計数される。

【0008】制御回路15は、各2進カウンタ14₁～14_Mに対してリセット信号Rを出力してその計数内容をリセットしてから、各アンド回路13₁～13_Mに一定時間T(測定時間)だけハイレベルのゲート信号Gを出力して、各電圧比較器12₁～12_Mの出力パルスを各2進カウンタ14₁～14_Mで計数させる。

【0009】次に、この交差率分布測定装置10の動作について説明する。なお、説明を簡単にするために、しきい値電圧の数Mを8とする。

【0010】例えば各2進カウンタがリセットされてから、図11の(a)に示すアナログ信号Sが測定時間Tの間に投入されると、各電圧比較器12₁～12_Mは図11の(b1)～(b8)に示すように、信号Sが各しきい値を正方向に交差するときに立ち上がり、負方向に交差するときに立ち下がるパルス出力する。

【0011】各2進カウンタ14₁～14_Mは、T秒間にアンド回路13₁～13_Mから出力されるパルスの立ち上がりを図11の(c1)～(c8)のようにそれぞれ計数する。

【0012】したがって、T秒間が経過したときの各2進カウンタ14₁～14_Mの計数結果C(1)～C(8)は、時間Tの間に信号Sが各しきい値電圧 e_1 ～ e_8 を正方向に越えた回数を示しており、この各回数を時間Tで除算することによって、しきい値毎の交差率が判る。ここで、時間Tを単位時間(1秒)に設定すれば、各2進カウンタ14₁～14_Mの計数結果が交差率を示し、この計数結果から交差率の各しきい値毎の分布が判る。

【0013】なお、交差率分布の測定には、前記したように信号がしきい値電圧を正方向に越える正交差率を測定する場合と、信号がしきい値電圧を負方向に越える負交差率を測定する場合とがあり、負交差率分布を求める

場合には、各電圧比較器12、～12。の入力を入れ替えるか、2進カウンタを立ち下がりでカウントさせることで対応できる。

【0014】

【発明が解決しようとする課題】しかしながら、前記したような従来の交差率分布測定装置で、高い振幅分解能を実現しようとするとき大きな問題が生じる。

【0015】即ち、振幅分解能を高くするために、しきい値電圧の差を小さくしてしきい値の数を増やすと、それに応じて電圧比較器、アンド回路および2進カウンタの数を増やさなければならない。例えば200段階のしきい値を設定する場合、電圧比較器、アンド回路および2進カウンタの数もそれぞれ200個ずつ必要となり、回路規模が大きくなり、消費電力が大きくなってしまい、例えば測定装置の携帯性が困難になる。

【0016】本発明は、この課題を解決した交差率分布測定装置を提供することを目的としている。

【0017】

【課題を解決するための手段】前記目的を達成するために、本発明の交差率分布測定装置は、アナログの入力信号を順次サンプリングし量子化してディジタルのデータに変換して出力するA/D変換器と、所定の測定期間中に前記A/D変換器から出力されたデータの前記A/D変換器の量子化レベル毎の出力頻度を求める第1のヒストグラム検出手段と、前記A/D変換器から出力されたデータとその次のデータとを順次比較し、大きい方または小さい方のいずれか一方を定常的に選択して出力するデータ選択手段と、前記測定期間中に前記データ選択手段から出力されたデータの前記A/D変換器の量子化レベル毎の出力頻度を求める第2のヒストグラム検出手段と、前記第1のヒストグラム検出手段によって検出された出力頻度と前記第2のヒストグラム検出手段によって検出された出力頻度に基づいて前記入力信号の量子化レベル毎の交差率を求める交差率演算手段とを備えている。

【0018】

【発明の実施の形態】本発明の実施の形態を説明するに前に、その測定原理について説明する。本発明の交差率分布測定装置は、A/D変換器によってアナログ信号をディジタルのデータに変換し、そのデータの集合についてのヒストグラム H_u と、A/D変換器から連続して出力された2つのデータから選択したデータの集合についてのヒストグラム H_v とを求め、このヒストグラム H_u 、 H_v に基づいて、アナログ信号が所定の測定期間中にA/D変換器の各量子化レベルを正方向あるいは負方向に交差する回数を求めようとするものである。

【0019】ここで、A/D変換器の量子化ステップを Δ 、各量子化レベルを $m\Delta$ (m は整数)とし、 k 番目のサンプリング値 S_k がある m について $m\Delta \leq S_k < (m+1)\Delta$ のとき、A/D変換器からは m に等しいデータ

$U(k)$ が出力されるものとする。また、A/D変換器のサンプリング周波数は入力信号の周波数に対して十分高いものとする。

【0020】上記条件のもとで、A/D変換器から一定の測定時間内に出力されたデータ列 $U(0)$ 、 $U(1)$ 、…、 $U(N-1)$ について正交差および負交差について考える。

【0021】正交差は、 $k-1$ 番目に出力されたデータ $U(k-1)$ より k 番目に出力されたデータ $U(k)$ が大きい場合に発生し、その間にアナログ信号は $U(k-1)+1$ 、 $U(k-1)+2$ 、…、 $U(k)-1$ 、 $U(k)$ の各値に量子化ステップ Δ を乗じた値と等しい量子化レベルを1回ずつ正方向に交差している。

【0022】また、負交差は、 $k-1$ 番目に出力されたデータ $U(k-1)$ より k 番目に出力されたデータ $U(k)$ が小さい場合に発生し、その間にアナログ信号は、 $U(k-1)$ 、 $U(k-1)-1$ 、…、 $U(k)+1$ の各値に量子化ステップ Δ を乗じた値と等しい量子化レベルを1回ずつ負方向に交差している。

【0023】また、 $k-1$ 番目に出力されたデータ $U(k-1)$ と k 番目に出力されたデータ $U(k)$ とが等しい場合には、正交差も負交差も発生していない。

【0024】したがって、各量子化レベル毎に計数器を用意しておき、連続して出力された2つのデータ $U(k-1)$ 、 $U(k)$ を比較し、後のデータ $U(k)$ の方が大きいとき、 $U(k-1)+1$ 、 $U(k-1)+2$ 、…、 $U(k)-1$ 、 $U(k)$ の各値にそれぞれ対応する計数器の計数値を1増加させるという処理を、データ列 $U(0) \sim U(N-1)$ について行なえば、測定時間内の各量子化レベル毎の正交差回数が得られる。

【0025】同様に、連続して出力された2つのデータ $U(k-1)$ 、 $U(k)$ を比較し、後のデータ $U(k)$ の方が小さいとき、データ $U(k-1)$ 、 $U(k-1)-1$ 、…、 $U(k)+1$ の各値にそれぞれ対応する計数器の計数値を1増加させるという処理を、データ列 $U(0) \sim U(N-1)$ について行なえば、測定時間内の各量子化レベル毎の負交差回数が得られる。

【0026】ところが、上記のように2つのデータの間にある量子化レベルを逐次検出する方法は、データの大小判定だけでなく、データ値そのものに依存した演算が必要となり、処理が複雑化して演算時間が長くなってしまふ。

【0027】そこで、データ間の量子化レベルの逐次検出処理をせずに、正交差回数および負交差回数を求める方法を考える。

【0028】正交差回数または負交差回数を求めるために、単位ステップ関数 $h(s)$ およびデルタ関数 $\delta(r)$ を導入する。なお、単位ステップ関数 $h(s)$ は、 $s \geq 0$ のとき1、 $s < 0$ のとき0となる関数であり、デルタ関数 $\delta(r)$ は、 $r = 0$ のとき1、 $r \neq 0$ の

とき0となる関数である。

【0029】データ $U(k-1)$ の値が a のとき、単位ステップ関数 $h[m-U(k-1)-1]$ は図1の(a)に示すように、 m が $a+1$ 以上の範囲で1、 m が a 以下の範囲で0となり、次のデータ $U(k)$ が a より大きい値 b のとき、ステップ関数 $h[m-U(k)-1]$ は、図1の(b)に示すように、 m が $b+1$ 以上の範囲で1、 m が b 以下の範囲で0となる。

【0030】この場合、アナログ信号は、 $m=a+1$ 、 $a+2$ 、 \dots 、 $b-1$ 、 b に対応する各量子化レベルに正交差しており、その正交差の存在範囲は、図1の(a)の1の部分から図1の(b)の1の部分を除いた範囲であり、これは、図1の(b)の1と0とを反転させたものと図1の(a)とで1が重なる範囲である。

【0031】また、データ $U(k)$ が a より小さい値 c *

$$C^+(m) = \sum_k h[m-1-U(k-1)] \times \{1-h[m-1-U(k)]\} \dots (1)$$

(ただし記号 \sum_k は $k=1 \sim N-1$ までの総和を示す) が正交差回数である。

【0033】また、負交差の場合には、

$$C^-(m) = \sum_k \{1-h[m-1-U(k-1)]\} \times h[m-1-U(k)] \dots (2)$$

が負交差回数である。

【0034】上式(1)、(2)を展開すると、次のよ★

$$C^+(m) = \sum_k h[m-1-U(k-1)] - \sum_k h[m-1-U(k-1)] h[m-1-U(k)] \dots (3)$$

$$C^-(m) = \sum_k h[m-1-U(k)] - \sum_k h[m-1-U(k-1)] h[m-1-U(k)] \dots (4)$$

【0035】上式(3)、(4)の第2項の $h[m-1-U(k-1)] h[m-1-U(k)]$ は、単位ステップ関数 $h[m-1-U(k-1)]$ と単位ステップ関数 $h[m-1-U(k)]$ とで1が重なる部分であり、☆

$$C^+(m) = \sum_k h[m-1-U(k-1)] - \sum_k h[m-1-V(k)] \dots (5)$$

$$C^-(m) = \sum_k h[m-1-U(k)] - \sum_k h[m-1-V(k)] \dots (6)$$

となる。

【0037】また、単位ステップ関数 $h[s]$ は、 δ 関数を用いると、

$$h[s] = \sum_i \delta(i-s)$$

$$C^+(m) = \sum_i \{ \sum_k \delta[U(k-1) - (m-1-i)] - \sum_k \delta[V(k) - (m-1-i)] \} \dots (7)$$

$$C^-(m) = \sum_i \{ \sum_k \delta[U(k) - (m-1-i)] - \sum_k \delta[V(k) - (m-1-i)] \} \dots (8)$$

【0039】ここで、 $\sum_k \delta[U(k-1) - (m-1-i)]$ は、データ $U(0) \sim U(N-1)$ のなかで、 $(m-1-i)$ に等しいデータの数(ヒストグラム)を示し、 $\sum_k \delta[V(k) - (m-1-i)]$ は、連続し

*である場合、図1の(c)に示すように、ステップ関数 $h[m-U(k)-1]$ は、 m が $c+1$ 以上の範囲で1、 m が c 以下の範囲で0となる。この場合、アナログ信号は $m=a$ 、 $a-1$ 、 \dots 、 $c+2$ 、 $c+1$ に対応する各量子化レベルに負交差しており、その負交差の存在範囲は、図1の(c)の1の部分から、図1の(a)の1の部分を除いた範囲であり、これは、図1の(a)の1と0とを反転させたものと図1の(c)とで1が重なる範囲である。

【0032】これを単位ステップ関数を用いて示すと、正交差の場合には、 $h[m-U(k-1)-1] \{1-h[m-U(k)-1]\}$ となり、その総和、即ち、

$$\sum_k \{1-h[m-U(k-1)-1]\} h[m-U(k)-1]$$

※20 となり、その総和、即ち、

★うになる。

☆これは、 $U(k-1)$ と $U(k)$ のうち大きい方の値を $V(k)$ をとすれば、 $h[m-1-V(k)]$ と等しい。

【0036】したがって、上式(3)、(4)は、

◆(ただし、記号 \sum_i は、 $i=0 \sim \infty$ の総和を示す)で表されるから、上式(5)、(6)を δ 関数で書き換えると次式ようになる。

◆ 【0038】

て出力された2つのデータから大きい方として選ばれたデータのなかで、 $(m-1-i)$ に等しいデータの数(ヒストグラム)を示し、また、 $\sum_k \delta[U(k) - (m-1-i)]$ は、データ $U(1) \sim U(N-1)$ の

なかで、 $m-1-i$ に等しいデータの数（ヒストグラム）を示している。

【0040】したがって、これらのヒストグラムが得られれば、正交差回数および負交差回数が求められる。

【0041】上式をさらに簡単にするために、 N 個のデータ $D(0) \sim D(N-1)$ の集合のなかで j に等しい*

$$C^+(m)$$

$$= \sum_i \{ H\{U(0) \sim U(N-2); m-1-i\} - H\{V(1) \sim V(N-1); m-1-i\} \} \dots (9)$$

$$C^-(m)$$

$$= \sum_i \{ H\{U(1) \sim U(N-1); m-1-i\} - H\{V(1) \sim V(N-1); m-1-i\} \} \dots (10)$$

【0043】ここで、 i の範囲は $0 \sim \infty$ であり、 m は有限でその最小値を m_0 とすれば、 $m-(i+1)$ の範囲は $m_0 \sim m-1$ である。

※

$$C^+(m)$$

$$= \sum_j \{ H\{U(0) \sim U(N-2); j\} - H\{V(1) \sim V(N-1); j\} \} \dots (11a)$$

$$= \sum_j H\{U(0) \sim U(N-2); j\} - \sum_j H\{V(1) \sim V(N-1); j\} \dots (11b)$$

$$C^-(m)$$

$$= \sum_j \{ H\{U(1) \sim U(N-1); j\} - H\{V(1) \sim V(N-1); j\} \} \dots (12a)$$

$$= \sum_j H\{U(1) \sim U(N-1); j\} - \sum_j H\{V(1) \sim V(N-1); j\} \dots (12b)$$

（ただし、 \sum_j は、 $j = m_0 \sim m-1$ の総和を示す）となる。

【0045】式(11a)から、データ列 $U(0) \sim U(N-1)$ について、量子化レベル $m\Delta$ に対する正交差回数 $C^+(m)$ は、データ $U(0) \sim U(N-2)$ のなかでその値が j のデータの数から、データ $V(1) \sim V(N-1)$ のなかでその値が j のデータの数減じた結果を、 $j = m_0 \sim m-1$ までの範囲で累積した値に等しいことが判る。

【0046】また、式(11b)から、正交差回数 $C^+(m)$ は、データ $U(0) \sim U(N-2)$ のなかでその値が $(m-1)$ 以下のデータの累積数から、データ $V(1) \sim V(N-1)$ のなかでその値が $(m-1)$ 以下のデータの累積数を減じた結果に等しいことが判る。

【0047】同様に、式(12a)から、量子化レベル $m\Delta$ に対する量子化レベル $m\Delta$ に対する負交差回数 $C^-(m)$ は、データ $U(1) \sim U(N-1)$ のなかでその値が j に等しいデータの数から、データ $V(1) \sim V(N-1)$ のなかでその値が j のデータの数減じた結果を、 $j = m_0 \sim m-1$ までの範囲で累積した値に等しいことが判る。

【0048】また、式(12b)から、量子化レベル $m\Delta$ に対する負交差回数 $C^-(m)$ は、データ $U(1) \sim U(N-1)$ のなかでその値が $(m-1)$ 以下のデータの総数から、データ $V(1) \sim V(N-1)$ のなかでそ

* データの数、即ちヒストグラムを、

$$H(D(0) \sim D(N-1); j)$$

と表すものとすれば、前記式(7)、(8)は、次のようになる。

$$【0042】$$

※【0044】したがって、 $m-1-i=j$ とすれば、上式(9)、(10)は、

の値が $(m-1)$ 以下のデータの総数を減じた結果に等しいことが判る。

【0049】以上のように、正交差回数および負交差回数は、データ列のヒストグラムと連続する2つのデータから大きい方として選択したデータ列のヒストグラムとの差の累積、またはヒストグラムの累積値と連続する2つのデータから大きい方として選択したデータ列のヒストグラムの累積値との差によって得られる。

【0050】次に、上記した測定原理に基づいて交差率分布を測定する本発明の交差率分布測定装置の一実施形態を説明する。

【0051】図2は、一実施形態の交差率分布測定装置20の構成を示すブロック図である。図2において、A/D変換器21は、入力端子20aから入力されるアナログの信号 S （例えば妨害波の包短線信号）を所定の周期 T_s でサンプリングし量子化して n ビット並列のデジタルのデータに変換して出力する。ここで、A/D変換器21は、量子化のステップを Δ 、 m を例えば $0 \sim 2^n - 1$ までの整数とすると、 $m\Delta$ で示される 2^n 個の量子化レベルを有し、信号 S をサンプリングしたときのレベル S_k が $m\Delta \leq S_k < (m+1)\Delta$ のときに、 m を2進化したデータ U を出力するものとする。

【0052】A/D変換器21から出力されるデータは、単位遅延回路22でA/D変換器21のサンプリング周期 T_s だけ遅延されて、第1のヒストグラム検出回

路23および後述するデータ選択回路24へ入力される。

【0053】第1のヒストグラム検出回路23は、単位遅延回路22から所定の測定期間Tに出力されたデータ列 $U(0) \sim U(N-1)$ について、量子化レベル毎の出力頻度 $Hu_0, Hu_1, Hu_2, \dots, Hu_L$ を検出する($L=2^n-1$)。

【0054】この第1のヒストグラム検出回路23は、例えば図2に示しているように、RAM23aとデータ更新回路23bとによって構成されている。RAM23aは、nビットのアドレス空間を有し、単位遅延回路22から出力されるnビットデータによって指定されたアドレスに記憶されている頻度データHuをデータ更新回路23bに出力する。データ更新回路23bはRAM23aから出力された頻度データHuに1を加算し、この加算結果をRAM23aに記憶して、頻度データHuを1だけ増加更新する。

【0055】データ選択回路24は、単位遅延回路22から出力されているデータ $U(k-1)$ と、その次に $A * C^*(m)$

$$= \sum_j \{ H[U(0) \sim U(N-2); j] - H[V(1) \sim V(N-1); j] \} \dots (11a)$$

の演算を行い、正交差率を算出する。

【0059】第1の演算回路27は、第1のヒストグラム検出回路23によって検出された各出力頻度 $Hu_0 \sim Hu_L$ と第2のヒストグラム検出回路25によって検出された出力頻度 $Hv_0 \sim Hv_L$ との差を、次のように求める。

【0060】

$$P(0) = Hu_0 - Hv_0$$

$$P(1) = Hu_1 - Hv_1$$

$$C^*(0) = 0$$

$$C^*(1) = P(0)$$

$$C^*(2) = P(0) + P(1)$$

.....

$$C^*(L) = P(0) + P(1) + P(2) + \dots + P(L-1)$$

【0063】次に、簡単な数値例を図3によって説明する。アナログ信号が測定時間T内に図3の(a)に示すように入力されて、A/D変換器21から図3の(b)に示すように、14個のデータ $U(0) \sim U(13)$ が出力されたとする。

【0064】このデータは単位遅延回路22を介して第1のヒストグラム検出回路23に入力され、そのヒストグラムHuが図3の(d)のように検出される。

【0065】また、データ選択回路24によってA/D変換器21から連続して出力された2つのデータのうち、大きい方のデータ $V(1) \sim V(13)$ が図3の(c)に示すようにそれぞれ選択され、そのヒストグラムHuが第2のヒストグラム検出回路25によって図3の(e)のように検出される。

* /D変換器21から出力されたデータ $U(k)$ とをA/D変換器21のサンプリング周期Tsに同期して順次比較し、大きい方のデータ(これを $V(k)$ とする)を選択して、第2のヒストグラム検出回路25へ出力する。

【0056】第2のヒストグラム検出回路25は、データ選択回路24から前記測定期間T中に出力されたデータ列 $V(0) \sim V(N-1)$ について、量子化レベル毎の出力頻度 $Hv_0, Hv_1, Hv_2, \dots, Hv_L$ を検出する($L=2^n-1$)。

【0057】第2のヒストグラム検出回路25は、第1のヒストグラム検出回路23と同様に、nビットのアドレス空間を有するRAM25aとデータ更新回路25bとによって構成され、データ選択回路24からのnビットデータによって指定されたアドレスに記憶されているRAM25aの頻度データHvをデータ更新回路25bによって1だけ増加更新する。

【0058】交差率演算部26は、第1の演算回路27と第2の演算回路28によって前記した式(11a)

$$* P(2) = Hu_2 - Hv_2$$

.....

$$P(L) = Hu_L - Hv_L$$

【0061】第2の演算回路28は、第1の演算回路27によって求められた量子化レベル毎の差値 $P(0) \sim P(L)$ を累計して、入力信号の量子化レベル毎の正交差率 $C^*(m)$ を、次のように求める。

【0062】

※

【0066】そして、第1の演算回路27によって、同一の量子化レベルに対応するヒストグラムHu、Hv同士の差が、図3の(f)のように求められ、さらに、その差を量子化レベルの順に加算した累積値が、第2の演算回路28によって図3の(g)に示すように求められる。

【0067】この第2の演算回路28の演算結果は、図3の(a)に示したアナログ信号Sが各量子化レベルに正交差した回数と一致している。

【0068】なお、測定時間Tを単位時間とすれば、この正交差回数は、正交差率そのものを示しており、測定時間Tが単時間でなければ、正交差回数を測定時間Tで除算することで各量子化レベル毎の正交差率を求めることができる(この場合、平均交差率となる)。

【0069】なお、ここでは、前記した式(11a)にしたがって正交差率を求めているが、式(11b)のように、データU(0)～U(N-2)のなかでその値が(m-1)以下のデータの累積数から、データV(1)～V(N-1)のなかでその値が(m-1)以下のデータの累積数を減じて、正交差率C⁺(m)を求めた場合も結果は同じである。

【0070】また、前記した式(12a)、(12b)の演算を行なうことで、負交差率を求めるようにしても*

$$C^+(m) = \sum_k h[m-1-V'(k)] - \sum_k h[m-1-U(k)] \dots\dots (5)'$$

$$C^-(m) = \sum_k h[m-1-V'(k)] - \sum_k h[m-1-U(k-1)] \dots\dots (6)'$$

【0074】これらの式をδ関数で表すと、

$$C^+(m) = \sum_i \{ \sum_k \delta[V'(k) - (m-1-i)] - \sum_k \delta[U(k) - (m-1-i)] \} \dots\dots (7)'$$

$$C^-(m) = \sum_i \{ \sum_k \delta[V'(k) - (m-1-i)] - \sum_k \delta[U(k-1) - (m-1-i)] \} \dots\dots (8)'$$

となる。

※グラムを用いて表すと、以下のようになる。

【0075】そして、上式(7)'、(8)'をヒスト※20 【0076】

$$\begin{aligned} C^+(m) &= \sum_j \{ H[V'(1) \sim V'(N-1); j] - H[U(1) \sim U(N-1); j] \} \dots (11a)' \\ &= \sum_j \{ H[V'(1) \sim V'(N-1); j] - \sum_j H[U(1) \sim U(N-1); j] \} \dots (11b)' \\ C^-(m) &= \sum_j \{ H[V'(1) \sim V'(N-1); j] - H[U(0) \sim U(N-2); j] \} \dots (12a)' \\ &= \sum_j \{ H[V'(1) \sim V'(N-1); j] - \sum_j H[U(0) \sim U(N-2); j] \} \dots (12b)' \end{aligned}$$

【0077】上式(11a)'または(11b)'の一方の演算を交差率演算部で行なえば、正交差率を求めることができ、上式(12a)'または(12b)'の一方の演算を交差率演算部で行なえば、負交差率を求めることができる。

【0078】このように、この実施形態の交差率分布測定装置は、アナログの入力信号をA/D変換器によって所定の測定期間中に量子化して得たデータの各量子化レベル毎の出力頻度を第1のヒストグラム検出手段によって検出するとともに、A/D変換器から出力されたデータとその次のデータのうち、大きい方または小さい方のいずれか一方を定常的に選択し、その選択したデータの量子化レベル毎の出力頻度を第2のヒストグラム検出手段によって検出し、これら検出した出力頻度に基づいて、入力信号の量子化レベル毎の交差率を算出している。

【0079】このように、A/D変換器の量子化ステップで振幅分解能が決まり、高い振幅分解能が要求される場合でも、回路規模が大きくなり、消費電力も小さく済み、装置の携帯化も容易になる。

*よい。

【0071】また、前記説明では、データ選択回路24は、2つのデータのうち大きい方を選択していたが、小さい方を選択することもできる。

【0072】この場合、2つのデータのうち小さい方のデータをV'(k)とすると、前記式(3)、(4)は、次のようになる。

【0073】

【0080】また、データの大小比較は行なっていないが、前記した2つのデータの間に量子化レベルを逐次検出する方法とは違い、ヒストグラムに対して加減算を順番に行なうという極めて単純な処理で交差率を直接算出できる。

【0081】また、妨害波の統計パラメータとして重要な振幅領域での基本特性である振幅確率分布(APD)は、信号が特定のしきい値を越えている時間率の分布であり、これは、第1のヒストグラム検出回路23によって検出されたヒストグラムの累積演算によって容易に算出できるので、前記した構成にその演算部だけを追加するだけで、妨害波の統計パラメータとして振幅領域での基本特性である交差率分布(CRD)と振幅確率分布(APD)とを同時測定することができる。

【0082】

【他の実施の形態】前記実施形態では、第1のヒストグラム検出回路23および第2のヒストグラム検出回路25をRAMとデータ更新回路26によって構成しているが、データの桁数が多い場合、データ更新回路26を2進加算器で構成すると、その桁上げ動作に時間がかか

り、高速なデータサンプリングを必要とする場合に不利である。

【0083】このような高速な動作が要求される場合には、ヒストグラム検出回路として、原始多項式によるデータ変換を行い、測定期間が終了してRAMからデータを読み出すときに、頻度データに変換する方法がある。＊

$$G_n = 1 + h_1 x + h_2 x^2 + \dots + h_{p-1} x^{p-1} + x^p \quad \dots\dots (13)$$

(ただし、係数 $h_1 \sim h_{p-1}$ は0または1)で表される p 次原始多項式によって決まる次段階の異なるデータに変換して出力する。

【0085】ここで、データ変換回路56の詳細を説明する前に、原始多項式を用いたデータ変換の原理について説明する。

【0086】入力される p ビットデータ D を列ベクトル※

$$\begin{pmatrix} d_1' \\ d_2' \\ d_3' \\ d_4' \\ \vdots \\ d_{p-1}' \\ d_p' \end{pmatrix} = \begin{pmatrix} h_1 & h_2 & h_3 & \dots & h_{p-1} & 1 \\ 1 & 0 & 0 & \dots & 0 & 0 \\ 0 & 1 & 0 & \dots & 0 & 0 \\ 0 & 0 & 1 & \dots & 0 & 0 \\ \vdots & \vdots & \vdots & & \vdots & \vdots \\ 0 & 0 & 0 & \dots & 0 & 0 \\ 0 & 0 & 0 & \dots & 1 & 0 \end{pmatrix} \begin{pmatrix} d_1 \\ d_2 \\ d_3 \\ d_4 \\ \vdots \\ d_{p-1} \\ d_p \end{pmatrix} \quad \dots\dots (14)$$

の関係を満たすようにデータの変換を行う。なお、ここで変換後のデータ $d_1' \sim d_p'$ は、2を法とする行列演算(和が偶数のとき0、奇数のとき1)の結果である。

【0087】このようなデータ変換を行うと、 p ビット 30 全て0のデータが入力されない限り、入力データと出力データとは1対1の関係があり、そのデータの種類の数は $2^p - 1$ 通りとなる。そして、変換後のデータが次の入力データとして入力されるようにすれば、初期データの列ベクトル D に対して、 k 回目の変換によって得られる列ベクトル D_k は、 $Qp^k \cdot D$ によって得られる。

【0088】初期データの列ベクトル D が既知であれば、 $k=1, k=2, \dots, k=2^p - 1 (=s)$ までの変換結果 D_1, D_2, \dots, D_s も予め判る。したがって、この k に対する変換結果 D, D_1, D_2, \dots, D_s 40 を予めテーブルに記憶しておき、計測終了後のRAM55のデータに対応する k の値をテーブルから読み出せば、RAM55の各アドレスが選択された回数、即ち、各量子化レベル毎のヒストグラムが判る。

【0089】ここで、前記したように p を例えば26とすると、その原始多項式は、

$$Gp = 1 + x^2 + x^6 + x^{26}$$

で与えられるが、この原始多項式に対応したテーブルの容量は約210Mバイト以上となってしまう、通常のメモリで構成することは困難である。

＊【0084】即ち、図4に示すヒストグラム検出回路のように、A/D変換器21あるいはデータ選択回路24からの n ビットデータでアドレス指定されたRAM55から読み出された p ビットデータを、データ変換回路56によって、

※ $D = (d_1, d_2, \dots, d_p)$ とし、変換後のデータ D' を列ベクトル $D' = (d_1', d_2', \dots,$

10 $d_p')$ としたとき、列ベクトル D, D' が、前記式(13)の第2項目以降の係数を第1行とする正方行列 Qp を用いて、 $D' = Qp \cdot D$ 、即ち、次式(14)

【数1】

【0090】そこで、 p ビットのデータを、2のべき乗から1を減じた値($2^p - 1$)が互いに素となり、その総和($p_1 + p_2 + \dots + p_s$)が p に等しくなるビット数のデータに分割する。例えば、26ビットのデータを、7ビット($p_1 = 7$)、9ビット($p_2 = 9$)、10ビット($p_3 = 10$)のデータに分割して、テーブルの容量を少なくしている。

【0091】ただし、このように分割した場合、計測後にRAM55から読み出した7ビット、9ビット、10ビットのデータに対応する k の値をそれぞれのテーブルから単純に読み出しただけでは頻度データは得られないが、前記したように、各分割したデータのビット数について、その2のべき乗から1を減じた値が互いに素なので、剰余数系または中華剰余定理と呼ばれる方法によって頻度データを得ることができる。

【0092】以下、データ変換回路56の具体例を図5に基づいて説明する。このデータ変換回路56は、7次原始多項式($1 + x + x^7$)と9次原始多項式($1 + x^4 + x^9$)と10次原始多項式($1 + x^3 + x^{10}$)とにそれぞれ対応した3組の線形論理回路57～58によって26ビットのデータ変換を行うものである。

【0093】即ち、線形論理回路57は、7次原始多項式($1 + x + x^7$)に基づいて7ビットの入力データを変換するものであり、RAM55から出力される第1～ 50 第7ビットまでの7ビットデータ(d_0, d_1, \dots, d_7)

。)をラッチ回路57aでラッチし、第1ビットおよび第2ビットのラッチデータ d_0 、 d_1 をEXOR回路57bに入力してその出力を第7ビットの変換データ d_6 とし、第2～第7ビットのラッチデータ d_1 、 d_2 、 \dots 、 d_6 をそれぞれ1ビット分ずらして第1～第6ビットの変換データ d_0 、 d_1 、 \dots 、 d_5 とし、RAM55のデータ入力端子Iの第1～第7ビットに入力する。

【0094】この線形論理回路57は、第1行が7次原始多項式 $(1+x+x^7)$ の係数に対応して(1000001)となる正方行列Q₇を用いてデータの変換を行っていることになり、その変換データを次の入力データとして入力することによって、7ビット全部が0のデータを除く (2^7-1) 種類の異なる7ビットデータを決まった順番に発生する。

【0095】また、線形論理回路58は、9次原始多項式 $(1+x^4+x^9)$ に基づいて9ビットの入力データを変換するものであり、RAM55から出力される第8～第16ビットまでの9ビットデータ(d_7 、 d_8 、 \dots 、 d_{15})をラッチ回路58aでラッチし、第8ビットおよび第12ビットのラッチデータ d_7 、 d_{11} をEXOR回路58bに入力してその出力を第16ビットの変換データ d_{15} とし、第9～第16ビットのラッチデータ d_8 、 d_9 、 \dots 、 d_{15} をそれぞれ1ビット分ずらして第8～第15ビットの変換データ d_7 、 d_8 、 \dots 、 d_{14} とし、RAM55のデータ入力端子Iの第8～第16ビットに入力する。

【0096】この線形論理回路58は、第1行が9次原始多項式 $(1+x^4+x^9)$ の係数に対応して(000100001)となる正方行列Q₉を用いてデータの変換を行っていることになり、その変換データを次の入力データとして入力するように構成することによって、 (2^9-1) 種類の異なる9ビットデータを決まった順番に発生する。

【0097】同様に、線形論理回路59は10次原始多項式 $(1+x^3+x^{10})$ に基づいて10ビットの入力データを変換するものであり、RAM55から出力される第17～第26ビットまでの10ビットデータ(d_{16} 、 d_{17} 、 \dots 、 d_{25})をラッチ回路59aでラッチし、第17ビットおよび第20ビットのラッチデータ d_{16} 、 d_{19} をEXOR回路59bに入力してその出力を第26ビットの変換データ d_{25} とし、第18～第26ビットのラッチデータ d_{17} 、 d_{18} 、 \dots 、 d_{25} をそれぞれ1ビット分ずらして第17～第25ビットの変換データ d_{16} 、 d_{17} 、 \dots 、 d_{24} とし、RAM55のデータ入力端子Iの第17～第26ビットに入力する。

【0098】この線形論理回路59は、第1行が10次原始多項式 $(1+x^3+x^{10})$ の係数に対応して(001000001)となる正方行列Q₁₀を用いてデータの変換を行っていることになり、その変換データを次の

の入力データとして入力するように構成することによって、 $(2^{10}-1)$ 種類の異なる10ビットデータを決まった順番に発生する。

【0099】なお、上記した各線形論理回路57～59は、共に3つの項からなる原始多項式を用いているが、このように最小項数の多項式を用いることで、実際の回路構成を単純化(EXOR回路が少ない)することができる。

【0100】上記した、 $2^7-1 (=127)$ 、 $2^9-1 (=511)$ 、 $2^{10}-1 (=1023)$ は互いに素な整数であるから、データ変換回路56は、 $(2^7-1) \cdot (2^9-1) \cdot (2^{10}-1)$ 通り(66389631通り)のデータを出力することができ、これは前記したように20ナノ秒の時間分解能で1秒間計測するときに必要な最大計数値 5×10^7 よりも大きい。なお、ラッチ回路57a～59aは、共通のラッチ信号Lによって入力データをラッチする。

【0101】なお、図4においてRAM55のデータ入力端子Iに接続されているスイッチ54は、測定開始時にRAM55に基準となる初期データ(全ビット1)をセットするためのものである。

【0102】所定の測定時間が経過したのち、RAM55に記憶されているデータはデータ変換回路56の各線形論理回路57～59に対応する変換テーブル65、66、67に出力される。

【0103】変換テーブル65には、前記7次原始多項式に基づいて基準となる初期データDa₀からk₀回目(k₀=0～126)に変換された各データDa₀、Da₁、Da₂、 \dots 、Da₁₂₆が各値k₀に対応付けられて記憶されており、RAM55から読み出される26ビットのデータの第1～第7ビットのデータに対応した値k₀を出力する。

【0104】変換テーブル66には、前記9次原始多項式に基づいて初期データDb₀からk₀回目(k₀=0～510)に変換された各データDb₀、Db₁、Db₂、 \dots 、Db₅₁₀が各値k₀に対応付けられて記憶されており、RAM55から読み出されるデータの第8～第16ビットのデータに対応した値k₀を出力する。

【0105】変換テーブル67には、前記10次原始多項式に基づいて初期データDc₀からk₀回目(k₀=0～1022)に変換された各データDc₀、Dc₁、Dc₂、 \dots 、Dc₁₀₂₂が各値k₀に対応付けられて記憶されており、RAM55から読み出されるデータの第17～第26ビットのデータに対応した値k₀を出力する。

【0106】ここで、データ変換回路56によってデータが実際に書換えられた回数H(そのデータを記憶していたRAM55のアドレスがA/D変換器21の出力データによって選択された回数)と、各変換テーブル65～67の出力値k_a、k_b、k_cの関係を図6に示す。

【0107】この図において、前記したように127 ($=2^7-1$)、511 ($=2^9-1$)、1023 ($=2^{10}-1$)は互いに素なので、各変換テーブル65~67から出力される値 k_a 、 k_b 、 k_c が共に等しくなるのは、0~126までの範囲である。したがって、この範囲で、 $k_a=k_b=k_c$ が成立する場合には、その値が実際の書換回数Hを直接表すことになる。

【0108】しかし、書換回数Hが126回を越えた計測データに対する各変換テーブル65~67から出力される値 k_a 、 k_b 、 k_c から真の書換回数Hを直接求めることができない。

【0109】そこで、各変換テーブル65~67から出力される値 k_a 、 k_b 、 k_c を頻度演算手段68に入力して、剰余数系または中華剰余定理と呼ばれる方法を用いて実際の書換回数(頻度)Hを求めている。

【0110】以下、前記方法の一演算手順であるGar *

$$H = (v_a + m_1, v_b + m_2, m_3, v_c) \bmod m_1, m_2, m_3, \dots \quad (16)$$

の演算によって求める。

【0113】頻度演算手段68は、上記演算を変換テーブル65~67から出力される値 k_a 、 k_b 、 k_c に対して順次行い、RAM55の各アドレス値(0~ 2^n-1)に対する演算結果H(0)、H(1)、…、H(2^n-1)を各量子化レベル毎の頻度データとして頻度データメモリ69に記憶する。

【0114】このような構成のヒストグラム検出回路を前記実施形態の第1、第2のヒストグラム検出回路として用い、各頻度データメモリ69に記憶された頻度データから前記したように、正交差率または負交差率を求める。このようにヒストグラム検出回路を構成すれば、A/D変換器の出力データの桁数が多い場合でも、高速なサンプリングが行なえる。

【0115】また、RAMに記憶したデータの内容を複数の線形論理回路からなるデータ変換回路56によって遷移させるようにしているので、2進カウンタを用いた従来装置に比べて、極めて小規模に実装することができ、少ない消費電力で小型な高い分解能の交差率分布測定装置を提供することができ、携帯使用等に特に便利である。また、各量子化レベル毎の計測結果はRAM55のデータ出力端子から読み出されるので、振幅分解能を高くしてもその読出用のバスの静電容量が増加することではなく、計測結果を安定に且つ高速に読み出すことができる。

【0116】上記のようにRAMを用いたヒストグラム検出回路の速度の限界は、RAMのアクセス速度によって制限されるが、以下に示すように、さらに高速なヒストグラム検出回路を用いることもできる。

【0117】図7に示すヒストグラム検出回路は、A/D変換器21またはデータ変換回路24からのnビット(例えば8ビット)並列のデータAをデコーダ72に入力している。

*ner法を示す。即ち、頻度演算手段68は、予め $m_1=2^7-1$ 、 $m_2=2^9-1$ 、 $m_3=2^{10}-1$ の各値、 $m_1 \cdot m_2$ の値、 $m_1 \cdot m_2 \cdot m_3$ の値、および次の合同式(15)

$$U_{ij} \cdot m_i \equiv 1 \pmod{m_j} \quad \dots \quad (15)$$

(ここで、 $(\bmod y)$ は演算結果をyで割ったときの余りを示す)を満たす3個の係数 U_{ij} ($i < j$)を記憶している。

【0111】そして、以下の漸化式により、 k_a 、

10 k_b 、 k_c から v_a 、 v_b 、 v_c を計算する。

$$v_a = k_a$$

$$v_b = (k_b - v_a) U_{12} \bmod m_2$$

$$v_c = [(k_c - v_a) U_{13} - v_b] U_{23} \bmod m_3$$

【0112】そして、書換回数Hを次式(16)

【0118】デコーダ72は 2^n ($=N$)本の出力端子を有しており、入力されるデータAが示す値(0~ 2^n-1)に対応した出力端子から選択信号を出力する。

【0119】デコーダ72の各出力端子には、記憶変換回路73₁~73_nが接続されている。

【0120】また、各記憶変換回路73₁~73_nには、データをシリアル転送するための転送用シフトレジスタ77₁~77_nがそれぞれ設けられている。

【0121】図8は、pを30にした場合の1組の記憶変換回路73および転送用シフトレジスタ77の具体的な回路構成を示している。この図に示すように、記憶変換回路73は30ビットのデータの記憶およびその書換えを行うために、線形帰還型の3組の線形論理回路74、75、76に分割されている。

【0122】線形論理回路74は、9次原始多項式($1+x^4+x^9$)に基づいて9ビットデータの書換えを行うもので、9段のシフトレジスタ74aの最終段の出力と、最終段側から数えて5段目の出力とをEXOR回路74bに入力し、その出力を初段に入力するように構成されている。

40 【0123】線形論理回路75は、10次原始多項式($1+x^3+x^{10}$)に基づいて10ビットデータの書換えを行うもので、10段のシフトレジスタ75aの最終段の出力と、最終段側から数えて4段目の出力とをEXOR回路75bに入力し、その出力を初段に入力するように構成されている。

【0124】線形論理回路76は、11次原始多項式($1+x^2+x^{11}$)に基づいて11ビットデータの書換えを行うもので、11段のシフトレジスタ76aの最終段の出力と、最終段側から数えて3段目の出力とをEXOR回路76bに入力し、その出力を初段に入力するように構成されている。

50 【0125】各シフトレジスタ74a~76aは、セッ

ト信号Setを受けると基準となる初期データ(例えば全ビット1のデータ)をセットし、デコーダ72からの選択信号を受けている状態でクロック信号Ckが立ち下ると、そのデータを初段階から後段階へ1段シフトして、データを次段階へ遷移させる。

【0126】したがって、各線形論理回路74~76の遷移前の各段のデータと遷移後の各段のデータとの間には、前記した式(14)の関係がそれぞれ成り立ち、測定時間Tが経過した後に各線形論理回路74~76に保持されているデータに基づいて、初期データからの遷移回数を求めることができる。

【0127】転送用シフトレジスタ77は、測定時間Tが経過した後の各線形論理回路74~76に保持されているデータをラッチして出力するためのものであり、並列入力直列出力型の30段のシフトレジスタによって構成されている。この転送用シフトレジスタ77は、転送用セット信号S_iを受けると、各シフトレジスタ74a~76aの各段の出力データをラッチし、このラッチした30ビットのデータを転送用クロック信号C_iを受けると毎に1ビットずつシリアル出力する。

【0128】なお、N個の転送用シフトレジスタ77₁~77_Nは全体として直列に接続されていて、共通の転送用クロック信号C_iでデータをシフトするので、N個の記憶変換回路73₁~73_Nのデータは、N番目の転送用シフトレジスタ74_Nから1本のデータ線を介して読み出すことができる。

【0129】このデータは、シリアルパラレル変換手段85によって30ビット単位毎に並列データに変換され、そのうちの第1~第9ビットが変換テーブル86に入力され、第10~第19ビットが変換テーブル87に入力され、第20~第30ビットが変換テーブル88に入力される。

【0130】変換テーブル86は、入力される9ビットのデータが初期データから何回遷移したかを表す値k₁を各9ビットデータにそれぞれ対応して予め記憶しており、入力したデータに対応する値k₁を出力する。

【0131】変換テーブル87は、入力される10ビットのデータが初期データから何回遷移したかを表す値k₂を各10ビットデータにそれぞれ対応して予め記憶しており、入力したデータに対応する値k₂を出力する。

【0132】変換テーブル88は、入力される11ビットのデータが初期データから何回遷移したかを表す値k₃を各11ビットデータにそれぞれ対応して予め記憶しており、入力したデータに対応する値k₃を出力する。

【0133】頻度演算手段68は、各変換テーブル86~88から出力されるk₁、k₂、k₃に対して前記同様の演算を順次行い、各記憶変換回路73₁~73_N毎の頻度データH(0)、H(1)、…、H(2ⁿ-1)を求めて頻度データメモリ69に記憶する。

【0134】この頻度データメモリ69に記憶された頻

度データから、前記したように、交差率分布を算出することができる。

【0135】このように、シフトレジスタからなる線形帰還型の線形論理回路によってヒストグラムを検出しているので、従来のような多数桁のカウンタの遅延時間による制限がなくなり、極めて高い時間分解能で計測が行え、しかも、測定時間が終了したときに、各記憶変換回路から各転送用シフトレジスタへ全データをパラレルに移送して、全データを転送用シフトレジスタから読み出すようにしているから、各記憶変換回路がデータを移送した直後から次の測定を開始することができ、不感時間の無い完全に連続した測定が可能になる。このため、従来では定量的な測定が困難であった極めて稀に且つ短時間しか発生しないような妨害波についても定量的な測定が可能となる。

【0136】なお、図7において、点線Aで示しているように、最終段の転送用シフトレジスタ77_Nのシリアル出力を初段の転送用シフトレジスタ77₁のシリアル入力に接続して、N個の転送用シフトレジスタ77₁~77_Nを巡回的に接続することもできる。この場合には、任意の転送用シフトレジスタ77の出力をシリアルパラレル変換器85へ入力することができるので、回路素子の配置が容易となり、しかも、全データをシリアルパラレル変換器85へ転送した後でも、その全データを転送用シフトレジスタ内に保存しておくことができるので、データの再送要求に応えることができる。

【0137】前記各実施形態では、データ遷移手段において、pビットのデータを分割していたが、高い時間分解能は要求されるが時間分解能はそれほど要求されていない場合、即ち、pが小さくnが大きい場合には、変換テーブルの容量が少なく済むので、p次原始多項式を用いてデータを遷移させるようにしてもよい。この場合でも、従来装置のようにカウンタの数を増加させるより実装上有利である。

【0138】なお、前記実施形態では、RAMのデータが26ビット、30ビットの例を説明したが、7次原始多項式(1+x¹+x⁷)、9次原始多項式(1+x¹+x⁹)、10次原始多項式(1+x²+x¹⁰)および11次原始多項式(1+x²+x¹¹)を用いれば、37ビットまでのデータの計数が可能となる。

【0139】また、詳述しないが、7次原始多項式(1+x¹+x⁷)に対応するシフトレジスタ回路および転送用シフトレジスタ回路の回路例を図9に示す。

【0140】また、前記実施形態では、A/D変換器から出力されるデータを単位遅延回路によって遅延して2つのデータを比較し、2種類のヒストグラムの検出を並行して行なっていたが、A/D変換器から測定時間中に出力された全てのデータをその出力順にメモリに一旦記憶してから、そのデータのヒストグラムの検出および2つのデータから選択したデータのヒストグラムの検出を

行なってもよい。

【0141】

【発明の効果】以上説明したように、本発明の交差率分布測定装置は、A/D変換器によってアナログの入力信号を所定の測定期間中に量子化したデータの各量子化レベル毎の出力頻度を第1のヒストグラム検出手段によって検出するとともに、A/D変換器から出力されたデータとその次のデータのうち、大きい方または小さい方のいずれか一方を定常的に選択し、その選択したデータの量子化レベル毎の出力頻度を第2のヒストグラム検出手段によって検出し、これら検出した出力頻度に基づいて、入力信号の量子化レベル毎の交差率を算出している。

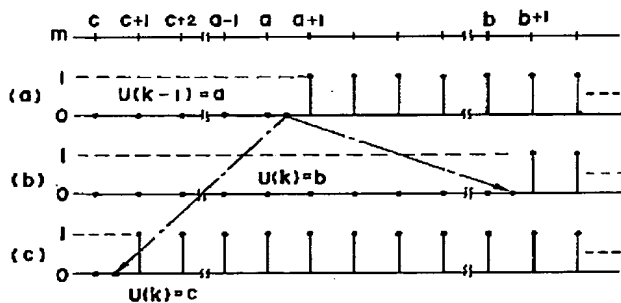
【0142】このように、A/D変換器の量子化ステップで振幅分解能が決まり、高い振幅分解能が要求される場合でも、回路規模が大きくなり、消費電力も小さくて済み、装置の携帯化も容易になる。

【0143】また、前記した2つのデータの間にある量子化レベルを逐次検出する方法とは違い、ヒストグラムに対して加減算を順番に行なうという極めて単純な処理で交差率を直接算出でき、演算時間による遅れが非常に少なくなる。

【図面の簡単な説明】

*

【図1】



*【図1】本発明の測定原理を説明するための図

【図2】本発明の一実施形態のブロック図

【図3】一実施形態の動作を説明するための図

【図4】他の実施形態の要部のブロック図

【図5】図4の要部の構成を示すブロック図

【図6】図4の構成の動作を説明するための図

【図7】他の実施形態の要部のブロック図

【図8】図7の要部の構成を示すブロック図

【図9】7次原始多項式に対応したシフトレジスタ型の

10 回路図

【図10】従来装置の構成を示すブロック図

【図11】従来装置の動作を説明するための図

【符号の説明】

20 交差率分布測定装置

21 A/D変換器

22 単位遅延回路

23 第1のヒストグラム検出回路

24 データ選択回路

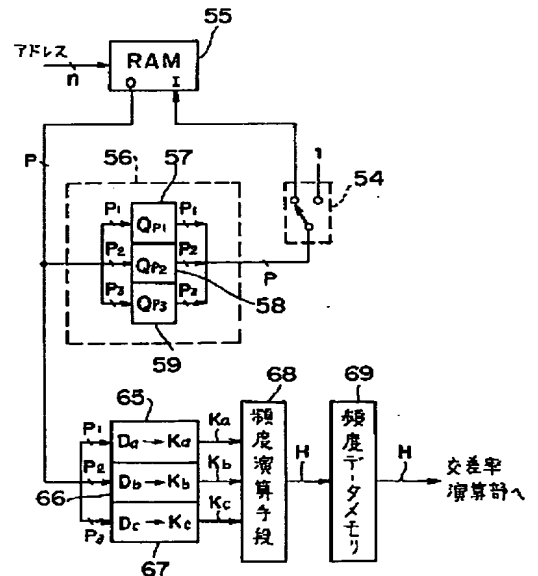
25 第2のヒストグラム検出回路

20 26 交差率演算部

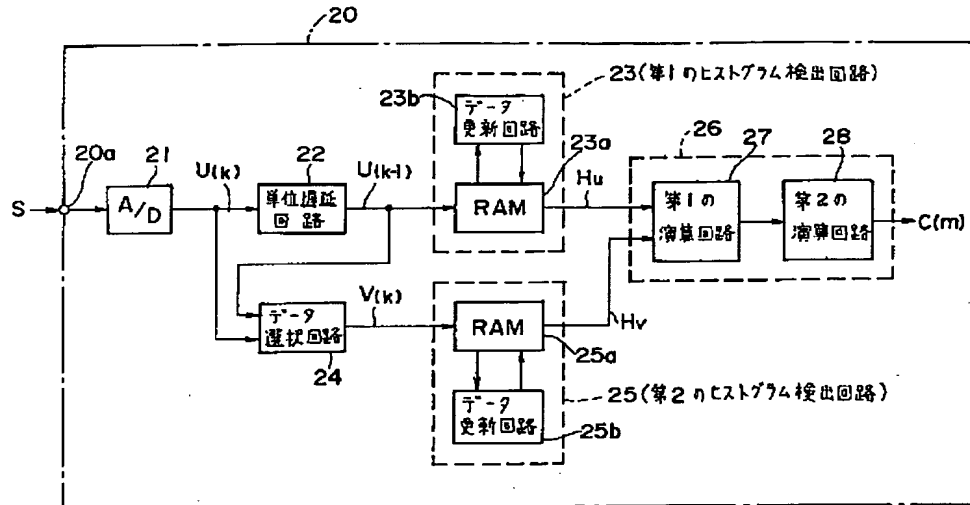
27 第1の演算手段

28 第2の演算手段

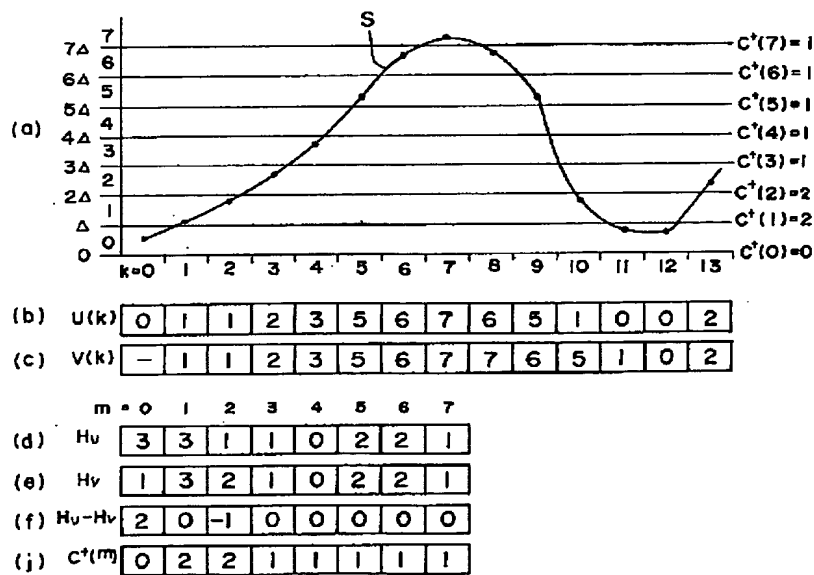
【図4】



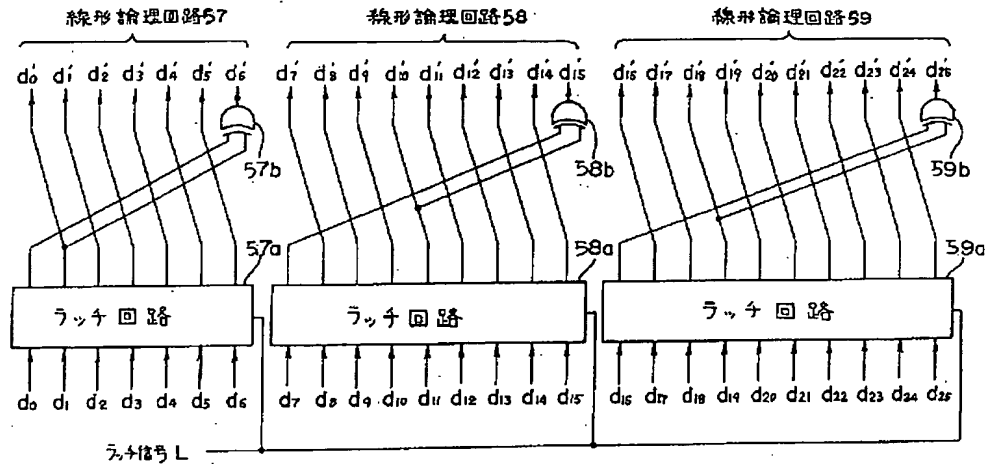
【図2】



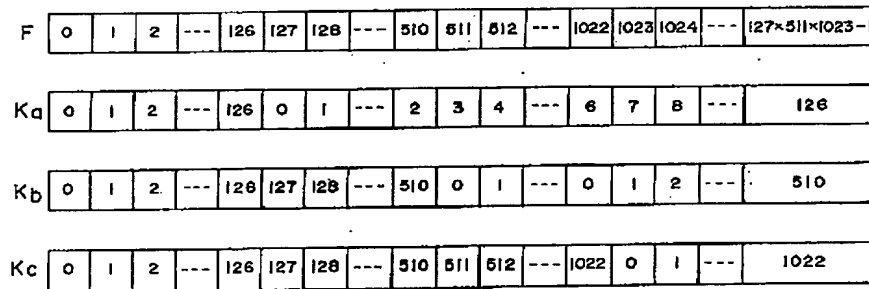
【図3】



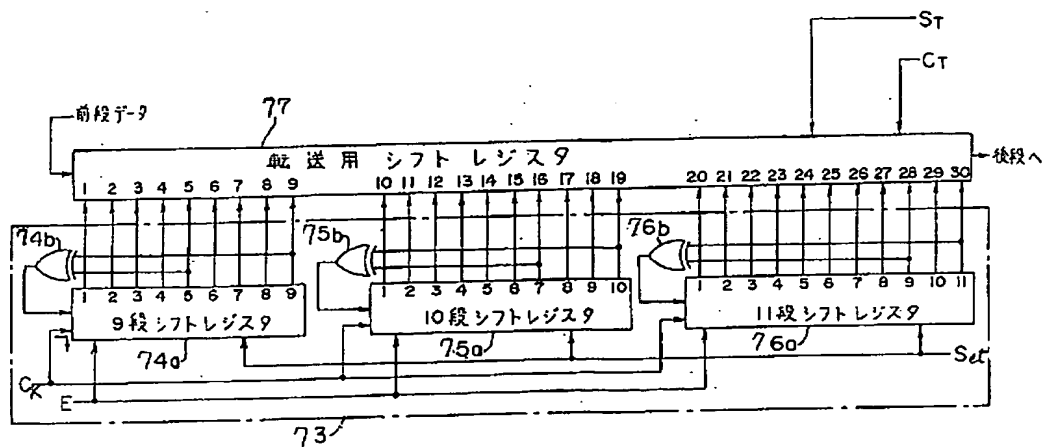
【図5】



【図6】



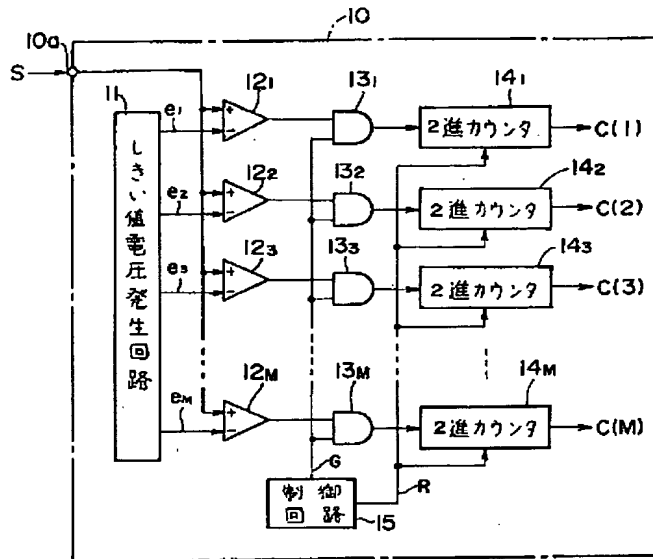
【図8】



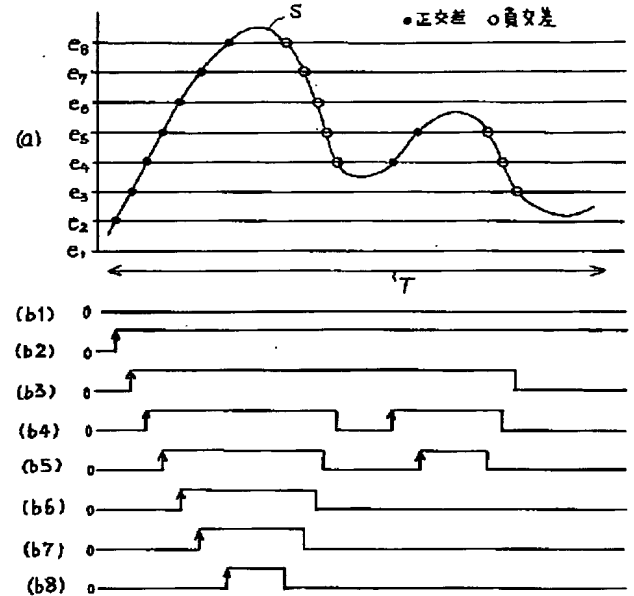
[illegible]

The diagram illustrates the internal structure of the PISOR and MMCR modules. The PISOR module (top) is a shift register composed of 8 DFFs (Data Flip-Flops) connected in series. Each DFF has a 3-to-2 MUX (Multiplexer) at its input and a 2-to-3 MUX at its output. The PISOR module is controlled by a global clock and has a pull-up to 1. The MMCR module (bottom) is a counter composed of 8 DFFs connected in series. Each DFF has a 3-to-2 MUX at its input and a 2-to-3 MUX at its output. The MMCR module is controlled by a global clock and has a pull-up to 1. The MMCR module is also controlled by a reset signal (0:hold, 1:reset, 2:count).

【図10】



【図11】



(C1)	0 = C(1)		
(C2)	0	1 = C(2)	
(C3)	0	1 = C(3)	
(C4)	0	1	2 = C(4)
(C5)	0	1	2 = C(5)
(C6)	0	1 = C(6)	
(C7)	0	1 = C(7)	
(C8)	0	1 = C(8)	

フロントページの続き

(72)発明者 篠塚 隆
宮城県仙台市青葉区南吉成6丁目6番地の
3 株式会社環境電磁技術研究所内

(72)発明者 細谷 晴彦
東京都港区南麻布五丁目10番27号 アンリ
ツ株式会社内